

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月 4日
Date of Application:

出願番号 特願2003-027209
Application Number:

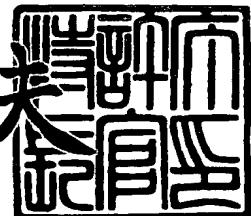
[ST. 10/C] : [JP2003-027209]

出願人 三洋電機株式会社
Applicant(s):

2004年 1月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 NPC1020073

【提出日】 平成15年 2月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/22

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号

三洋電機株式会社内

【氏名】 松下 重治

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100104433

【弁理士】

【氏名又は名称】 宮園 博一

【手数料の表示】

【予納台帳番号】 073613

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要

(一)

【書類名】 明細書

【発明の名称】 強誘電体メモリ

【特許請求の範囲】

【請求項 1】 電圧を印加しない初期状態で異なる電気容量値 C_{f0} および C_{f1} を取ることが可能な強誘電体膜と、前記強誘電体膜を挟むように形成された第 1 電極および第 2 電極とを有する強誘電体キャパシタを含むメモリセルと、

前記第 1 電極に読み出し電圧 V_R を印加する手段と、

前記強誘電体膜の電気容量値 C_{f0} および C_{f1} の相違に対応する前記第 2 電極の電位差が V_S 以上の場合に、前記強誘電体膜の電気容量値 C_{f0} および C_{f1} の相違を検知することが可能な検出手段とを備え、

前記第 2 電極の電気容量値 C_2 は、以下の式を満たすように設定されている、強誘電体メモリ。

$$C_{f0} < C_2 \leq 1/2 \times \{ (C_{f1} - C_{f0}) V_R / V_S - (C_{f1} + C_{f0}) \}$$

【請求項 2】 前記第 2 電極の電気容量値 C_2 は、実質的に、 $C_2 = (C_{f1} \times C_{f0})^{1/2}$ である、請求項 1 に記載の強誘電体メモリ。

【請求項 3】 データの読み出し時に、前記読み出し電圧の印加方向に対して逆方向の分極方向のデータを保持している場合に、前記強誘電体膜に印加される電圧は、前記強誘電体膜が分極反転する電圧よりも小さい、請求項 1 または 2 に記載の強誘電体メモリ。

【請求項 4】 前記メモリセルは、

前記第 2 電極にトランジスタのゲート電極が接続されたメモリセルを含む、請求項 1 ~ 3 のいずれか 1 項に記載の強誘電体メモリ。

【請求項 5】 前記メモリセルは、

互いに交差する方向に延びるように形成された前記第 1 電極および前記第 2 電極と、前記第 1 電極および前記第 2 電極の間に配置された前記強誘電体膜とからなる強誘電体キャパシタにより構成されたメモリセルを含む、請求項 3 に記載の強誘電体メモリ。

【請求項 6】 前記メモリセルは、

前記第 2 電極がトランジスタのソース領域およびドレイン領域の一方に接続さ

れたメモリセルを含む、請求項3に記載の強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、強誘電体メモリに関し、特に、強誘電体キャパシタを有する強誘電体メモリに関する。

【0002】

【従来の技術】

近年、強誘電体メモリは、高速で低消費電力な不揮発性メモリとして注目されている。このため、強誘電体メモリに関する研究開発が精力的に行われている。図11は、従来の最も一般的に用いられている1T1C型の強誘電体メモリの代表的な回路図であり、図12は、図11に対応する断面構造図である。図11および図12を参照して、この従来の構造では、半導体基板101の表面上の所定領域に素子分離領域102が形成されている。素子分離領域102によって囲まれた素子形成領域には、所定の間隔を隔てて、ソース領域103およびドレイン領域104が形成されている。ソース領域103とドレイン領域104との間に位置するチャネル領域上には、ゲート絶縁膜105を介して、ワード線(WL)を構成するゲート電極106が形成されている。ドレイン領域104には、ビット線(BL)113が電気的に接続されている。

【0003】

また、ソース領域103には、プラグ電極108を介して、下部電極109が接続されている。下部電極109上には、強誘電体膜110を介して、プレート線(PL)を構成する上部電極111が形成されている。この下部電極109、強誘電体膜110および上部電極111によって強誘電体キャパシタ112が構成されている。また、ソース領域103およびドレイン領域104と、ゲート絶縁膜105と、ゲート電極106とによって、トランジスタ107が構成されている。このトランジスタ107は、メモリセルの選択を行うスイッチとして機能する。また、図11に示すように、1つのメモリセル100は、1つのトランジスタ107と、1つの強誘電体キャパシタ112とによって構成されている。こ

のメモリセル構造は、1T1C型の強誘電体メモリと呼ばれている。この1T1C型は、DRAMにおいて、蓄積用のキャパシタを強誘電体キャパシタにえた構造を有するので、従来のDRAMの設計手法を利用しやすい。

【0004】

また、従来、1つのメモリセルを1つの強誘電体キャパシタのみによって構成する単純マトリックス型の強誘電体キャパシタが開発されている。図13は、従来の単純マトリックス型の強誘電体メモリの回路図であり、図14は、図13に対応した断面図である。図13および図14を参照して、従来の単純マトリックス型の強誘電体メモリでは、ビット線(BL)201上に、強誘電体膜202が形成されている。そして、その強誘電体膜202上に、ビット線201と交差する方向に、ワード線(WL)203が形成されている。このビット線201と強誘電体膜202とワード線203とによって、強誘電体キャパシタ210が構成されている。この単純マトリックス型の強誘電体メモリでは、図13に示すように、1つのメモリセル200が、1つの強誘電体キャパシタ210のみによって構成されている。このため、メモリセルの縮小化および高集積化を図ることができる。

【0005】

しかしながら、上記した1T1C型および単純マトリックス型の強誘電体メモリでは、通常、データの読み出し時において、強誘電体膜の分極方向を変える分極反転が必要になる。このような分極反転を繰り返すと、残留分極値の低下などの分極疲労劣化が生じるという不都合があった。

【0006】

そこで、従来、分極反転を生じない読み出し方法を有するFET型の強誘電体メモリが開発されている（たとえば、特許文献1参照）。また、FET型の強誘電体メモリとしては、トランジスタのゲート部に強誘電体キャパシタを形成したMFIS-FET (Metal Ferroelectric Insulator or Semiconductor-Field Effect Transistor: 金属・強誘電体・絶縁体・半導体-電界効果トランジスタ)、または、MFMIS-FET (Metal Ferroelectric Metal

I n s u l a t o r S e m i c o n d u c t o r - F i e l d E f f e c t T r a n s i s t o r : 金属・強誘電体・金属・絶縁体・半導体－電界効果トランジスタ) 型の強誘電体メモリが知られている。

【0007】

図15は、従来のMFMIS-FETをメモリセルとした1トランジスタ(FET)型の強誘電体メモリを示した回路図であり、図16は、図15に対応する断面構造図である。図15および図16を参照して、このFET型の強誘電体メモリでは、半導体基板301の表面にウェル領域302が形成されている。そして、このウェル領域302の表面に、所定の間隔を隔てて、ソース領域303およびドレイン領域304が形成されている。ソース領域303およびドレイン領域304間に位置するチャネル領域上には、ゲート絶縁膜305を介して、ゲート電極306が形成されている。

【0008】

ゲート電極306上には、強誘電体膜307を介して、ワード線(WL)308が形成されている。ドレイン領域304には、ビット線(BL)310が電気的に接続されている。ソース領域303には、プレート線(PL)311が接続されている。ウェル領域302には、ソース線(SL)312が接続されている。ゲート電極306、強誘電体膜307およびワード線308によって、1トランジスタ型の強誘電体キャパシタ315が構成されている。また、ソース領域303およびドレイン領域304と、ゲート絶縁膜305と、ゲート電極306とによって、トランジスタ309が構成されている。この場合、1つのメモリセル300は、1つのトランジスタ309のゲート部上に、強誘電体キャパシタ315が形成された構造を有する。

【0009】

また、上記特許文献1に開示されたFET型の強誘電体メモリでは、分極状態の相違に起因する電気容量の違いを利用して分極反転を生じない読み出し方法が提案されている。

【0010】

【特許文献1】

特開2002-251877号公報

【発明が解決しようとする課題】

しかしながら、上記特許文献1に開示されたFET型の強誘電体メモリでは、記憶されているデータ「0」またはデータ「1」の情報を読み出す時の信号電位差を大きくすることにより読み出しマージンを高める方法については開示されていない。このため、データ「0」またはデータ「1」の情報を読み出す時の信号電位差が読み出し可能な最小の信号電位差よりも小さくなる場合がある。その場合には、データの誤読み出しなどが発生するという問題点がある。

【0011】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、読み出しマージンを高めることによりデータの誤読み出しなどが発生するのを抑制することが可能な強誘電体メモリを提供することである。

【0012】

この発明のもう1つの目的は、分極反転を伴わずに、読み出しマージンを高めることによりデータの誤読み出しなどが発生するのを抑制することが可能な単純マトリックス型または1T1C型の強誘電体メモリを提供することである。

【0013】

【課題を解決するための手段および発明の効果】

この発明の一の局面による強誘電体メモリは、電圧を印加しない初期状態で異なる電気容量値 C_{f0} および C_{f1} を取ることが可能な強誘電体膜と、強誘電体膜を挟むように形成された第1電極および第2電極とを有する強誘電体キャパシタを含むメモリセルと、第1電極に読み出し電圧 V_R を印加する手段と、強誘電体膜の電気容量値 C_{f0} および C_{f1} の相違に対応する第2電極の電位差が V_S 以上の場合に、強誘電体膜の電気容量値 C_{f0} および C_{f1} の相違を検知することが可能な検出手段とを備え、第2電極の電気容量値 C_2 は、以下の式を満たすように設定されている。

【0014】

$$C_{f0} < C_2 \leq 1/2 \times \{ (C_{f1} - C_{f0}) V_R / V_S - (C_{f1} + C_{f0}) \}$$

上記一の局面による強誘電体メモリでは、上記のように、第2電極の電気容量

値 C_B を、上記の式を満たすように設定することによって、強誘電体膜の電気容量値 C_{f0} および C_{f1} の相違に対応する第2電極の電位差を検出限界電圧 V_S 以上にすることができるので、読み出しマージンを高めることができる。これにより、データの誤読み出しが発生するのを抑制することができる。

【0015】

上記一の局面による強誘電体メモリにおいて、好ましくは、第2電極の電気容量値 C_2 は、実質的に、 $C_2 = (C_{f1} \times C_{f0})^{1/2}$ である。このように構成すれば、強誘電体膜の電気容量値 C_{f0} および C_{f1} の相違に対応する第2電極の電位差を最大にすることができるので、読み出しマージンをより高めることができる。

【0016】

上記一の局面による強誘電体メモリにおいて、好ましくは、データの読み出し時に、読み出し電圧の印加方向に対して逆方向の分極方向のデータを保持している場合に、強誘電体膜に印加される電圧は、強誘電体膜が分極反転する電圧よりも小さい。このように構成すれば、読み出しマージンを高めながら、データの読み出し時に、強誘電体膜が分極反転するのを防止することができる。これにより、読み出しマージンを高めながら、分極疲労劣化を抑制することができる。

【0017】

上記一の局面による強誘電体メモリにおいて、好ましくは、メモリセルは、第2電極にトランジスタのゲート電極が接続されたメモリセルを含む。このように構成すれば、FET型の強誘電体メモリにおいて、読み出しマージンを高めることが可能な構造を得ることができる。

【0018】

上記強誘電体膜に印加される電圧が強誘電体膜が分極反転する電圧よりも小さい構成を有する強誘電体メモリにおいて、好ましくは、メモリセルは、互いに交差する方向に延びるように形成された第1電極および第2電極と、第1電極および第2電極の間に配置された強誘電体膜とからなる強誘電体キャパシタにより構成されたメモリセルを含む。このように構成すれば、単純マトリックス型の強誘電体メモリにおいて、分極反転を伴わずに、読み出しマージンを高めることが可能な構造を得ることができる。これにより、単純マトリックス型の強誘電体メモ

りにおいて、分極反転を伴わずに、データの誤読み出しなどが発生するのを抑制することができる。

【0019】

上記強誘電体膜に印加される電圧が強誘電体膜が分極反転する電圧よりも小さい構成を有する強誘電体メモリにおいて、好ましくは、メモリセルは、第2電極がトランジスタのソース領域およびドレイン領域の一方に接続されたメモリセルを含む。このように構成すれば、1T1C型の強誘電体メモリにおいて、分極反転を伴わずに、読み出しマージンを高めることが可能な構造を得ることができる。これにより、1T1C型の強誘電体メモリにおいて、分極反転を伴わずに、データの誤読み出しなどが発生するのを抑制することができる。

【0020】

【発明の実施の形態】

以下、本発明を具体化した実施形態を図面に基づいて説明する。

【0021】

(第1実施形態)

図1は、本発明の第1実施形態による単純マトリックス型の強誘電体メモリの全体構成を示した回路図である。図2は、図1に示した第1実施形態による強誘電体メモリのデータ読み出し動作を説明するための等価回路図である。図3は、第1実施形態による強誘電体メモリのデータ読み出し動作を説明するための特性図である。

【0022】

まず、図1を参照して、第1実施形態の単純マトリックス型の強誘電体メモリの全体構成について説明する。この第1実施形態による強誘電体メモリでは、メモリセルアレイ50は、複数のメモリセル1がマトリックス状に配置されて構成されている（図1では説明の便宜上、9個のメモリセルのみを示している）。各メモリセル1を構成する強誘電体キャパシタ2の一方の端子は、ワード線WL₀～WL₂に接続され、強誘電体キャパシタ2の他方の端子は、ビット線BL₀～BL₂に接続されている。すなわち、この第1実施形態では、1つのメモリセル1は、1つの強誘電体キャパシタ2のみから構成されている。なお、強誘電体キャ

パシタ2は、電圧を印加しない初期状態で異なる電気容量値C_{f0}およびC_{f1}を取ることが可能な強誘電体膜を含んでいる。

【0023】

各ワード線WL₀～WL₂は、ロウデコーダ31に接続されている。また、各ビット線BL₀～BL₂は、カラムデコーダ32に接続されている。

【0024】

外部から指定されたロウアドレスおよびカラムアドレスは、アドレスピン33に入力される。そのロウアドレスおよびカラムアドレスは、アドレスピン33からアドレスラッチ34へ転送される。アドレスラッチ34でラッチされた各アドレスのうち、ロウアドレスは、アドレスバッファ35を介してロウデコーダ31へ転送され、カラムアドレスはアドレスバッファ35を介してカラムデコーダ32へ転送される。

【0025】

ロウデコーダ31は、各ワード線WL₀～WL₂のうち、アドレスラッチ34でラッチされたロウアドレスに対応したワード線を選択し、各ワード線の電位を動作モードに対応して制御する。

【0026】

カラムデコーダ32は、各ビット線BL₀～BL₂のうち、アドレスラッチ34でラッチされたカラムアドレスに対応するビット線を選択し、各ビット線の電位を動作モードに対応して制御する。

【0027】

ここで、第1実施形態では、ロウデコーダ31は、データの読み出し時にワード線WL₀～WL₂に読み出し電圧V_Rを印加するための読み出し電圧印加回路41を含んでいる。この読み出し電圧印加回路41は、本発明の「読み出し電圧V_Rを印加する手段」の一例である。

【0028】

外部から指定されたデータは、データピン36に入力される。そのデータは、データピン36から入力バッファ37を介してカラムデコーダ32へ転送される。カラムデコーダ32は、各ビット線BL₀～BL₂の電位を、そのデータに対応

した電位に制御する。

【0029】

また、第1実施形態では、任意のメモリセル1から読み出されたデータは、各ビット線 $B_L_0 \sim B_L_2$ からカラムデコーダ32を介してセンスアンプ38へ転送される。センスアンプ38は電圧センスアンプである。なお、センスアンプ38は、本発明の「強誘電体膜の電気容量値 C_{f0} および C_{f1} の相違を検知することができる検出手段」の一例である。センスアンプ38で判別されたデータは、出力バッファ39からデータピン36を介して外部へ出力される。

【0030】

なお、上記した各回路（31～39、41）の動作は、制御コア回路40によって制御される。

【0031】

ここで、この第1実施形態における強誘電体キャパシタ2を含むメモリセルは、図2に示すように、強誘電体キャパシタ2が、互いに交差するように延びたワード線WLおよびビット線BLと、ワード線WLおよびビット線BLによって挟まれた強誘電体膜とにより構成されている。すなわち、ワード線WLおよびビット線BLは、それぞれ、強誘電体キャパシタ2の一方の電極（第1電極）および他方の電極（第2電極）として機能する。また、ビット線BLの電気容量（ビット線容量）は、 C_B で表される。なお、ビット線容量 C_B は、本発明の「第2電極における電気容量 C_2 」の一例である。

【0032】

図2に示したノードAの電位は、ビット線BLに現れる電位 V_B （ V_{B0} 、 V_{B1} ）を表している。このノードAには、ビット線BLに現れる電位（ V_{B0} および V_{B1} ）の相違を検出する手段（図1のセンスアンプ38）が接続されている。

【0033】

図3には、強誘電体キャパシタのヒステリシス特性が示されている。図3を参照して、縦軸には、強誘電体キャパシタに保持される分極の電荷量Qが示されており、横軸には、強誘電体キャパシタに印加される電圧Vが示されている。ここで、残留分極がプラス側の電荷量を保持する場合のデータを「0」とし、残留分

極がマイナス側の電荷量を保持する場合のデータを「1」とする。また、強誘電体キャパシタにデータ「0」が記憶された場合のビット線容量の負荷線がL0であり、負荷線L0の状態からワード線WLに読み出し電圧VRを印加した時の負荷線がL0aである。また、強誘電体キャパシタにデータ「1」が記憶された場合のビット線容量の負荷線がL1であり、負荷線L1の状態からワード線WLに読み出し電圧VRを印加した時の負荷線がL1aである。

【0034】

図2および図3を参照して、以下に、読み出しマージンを高めるメモリ構造について説明する。ワード線WLに読み出し電圧VRを印加した場合に、データ「0」およびデータ「1」における電荷量Qの変化率を表す電気容量を、それぞれ、 C_{f0} および C_{f1} ($C_{f1} > C_{f0}$) とする。また、データ「0」およびデータ「1」が保持されている場合にワード線WLに読み出し電圧VRを印加した場合に、ノードAに現れるビット線電位VBを、それぞれ、 V_{B0} および V_{B1} とする。この場合、ビット線BLの電位差 ($V_{B1} - V_{B0}$) を大きくすることが、読み出し電圧のマージンを高めることになる。データ「0」が保持されている場合の読み出し時のビット線電位 V_{B0} およびデータ「1」が保持されている場合の読み出し時のビット線電位 V_{B1} は、それぞれ、以下の式(1)および式(2)によって表される。

【0035】

$$V_{B0} = C_{f0} / (C_{f0} + C_B) \times V_R \quad \dots (1)$$

$$V_{B1} = C_{f1} / (C_{f1} + C_B) \times V_R \quad \dots (2)$$

上記式(1)および式(2)から、データ「0」とデータ「1」が保持されている場合のビット線に現れる電位差 ($V_{B1} - V_{B0}$) は、以下の式(3)によって表される。

【0036】

$$\begin{aligned} V_{B1} - V_{B0} &= C_{f1} / (C_{f1} + C_B) \times V_R - C_{f0} / (C_{f0} + C_B) \times V_R \\ &= \{ 1 / (1 + C_B / C_{f1}) + 1 / (1 + C_B / C_{f0}) \} \times V_R \\ &= \{ (C_B / C_{f0} - C_B / C_{f1}) / (1 + C_B / C_{f1}) + (1 + C_B / C_{f1}) / (1 + C_B / C_{f1}) \} \times V_R \end{aligned} \quad \dots (3)$$

ここで、 $C_B/C_{f0}=X$ 、 $C_{f0}/C_{f1}=K$ とおくと、 $KX=C_B/C_{f1}$ となり、これらを上記式（3）に代入すると、以下の式（4）が得られる。

【0037】

$$\begin{aligned} V_{B1}-V_{B0} &= (1-K) \cdot X / (KX^2 + (1+K)X + 1) \times V_R \\ &= (1-K) / (KX + 1/X + (1+K)) \times V_R \quad \dots \quad (4) \end{aligned}$$

ここで、相加平均 \geq 相乗平均の関係を、上記式（4）中の $KX + 1/X$ の分母部分について適用すると、以下の式（5）が得られる。

【0038】

$$\begin{aligned} (KX + 1/X) / 2 &\geq (KX \cdot 1/X)^{1/2} = K^{1/2} \\ KX + 1/X &\geq 2K^{1/2} \quad \dots \quad (5) \end{aligned}$$

上記式（5）を上記式（4）の $KX + 1/X$ の分母部分に代入すると、以下の式（6）が得られる。

【0039】

$$\begin{aligned} V_{B1}-V_{B0} &\leq \{ (1-K) / (2K^{1/2} + 1 + K) \} \times V_R \\ &\leq \{ (1-K) / (1 + K^{1/2})^2 \} \times V_R \quad \dots \quad (6) \end{aligned}$$

上記式（6）では、 $KX + 1/X$ が分母部分であるので、相加平均 \geq 相乗平均の関係を適用すると、 \geq 記号が逆の \leq 記号になっている。ここで、式（6）において、等号が成り立つのは、相加平均と相乗平均との関係から、 $KX = 1/K$ の場合であり、これを変形すると、 $X = 1/K^{1/2}$ になる。これに、上記した $X = C_B/C_{f0}$ 、 $K = C_{f0}/C_{f1}$ の関係を挿入すると、 $C_B/C_{f0} = 1 / (C_{f0}/C_{f1})^{1/2}$ となり、両辺に C_{f0} を掛けると、 $C_B = (C_{f0} \cdot C_{f1})^{1/2}$ が得られる。したがって、式（6）における等号は、 $C_B = (C_{f0} \cdot C_{f1})^{1/2}$ の時に成り立つ。この関係より、 $V_{B1}-V_{B0}$ の最大値は、式（6）に、 $K = C_{f0}/C_{f1}$ を挿入するとともに、 $(C_{f0} \cdot C_{f1})^{1/2} = C_B$ を適用した以下の式（7）によって得られる。

【0040】

$$\begin{aligned} V_{B1}-V_{B0} &= (1 - C_{f0}/C_{f1}) / \{ 2(C_{f0}/C_{f1})^{1/2} + 1 + C_{f0}/C_{f1} \} \\ &\quad \times V_R \\ &= (C_{f1}-C_{f0}) / \{ C_{f1} + C_{f0} + 2(C_{f0} \cdot C_{f1})^{1/2} \} \times V_R \end{aligned}$$

$$= (C_{f1} - C_{f0}) \times (C_{f1} + C_{f0} + 2C_B) \times V_R \quad \dots \quad (7)$$

ここで、ノードAに接続されるビット線電位の検出手段が、 V_S 以上の電位差を検出できる手段（センスアンプ38）である場合、データ「0」とデータ「1」の場合のビット線電位の相違（ $V_{B1} - V_{B0}$ ）を確実に検出して読み出しマージンを高めるためには、上記式（7）から、以下の式（8）を満たす必要がある。

【0041】

$$V_{B1} - V_{B0} = (C_{f1} - C_{f0}) \times (C_{f1} + C_{f0} + 2C_B) \times V_R \geq V_S \quad \dots \quad (8)$$

上記式（8）から、ビット線容量 C_B に必要な条件式が以下の式（9）によって表される。

【0042】

$$C_B \leq 1/2 \times \{ (C_{f1} - C_{f0}) V_R / V_S - (C_{f1} + C_{f0}) \} \quad \dots \quad (9)$$

また、 $C_B = (C_{f0} \cdot C_{f1})^{1/2}$ と、 $C_{f1} > C_{f0}$ との関係から、ビット線容量 C_B は、以下の式（10）も満足する必要がある。

【0043】

$$C_B > C_{f0} \quad \dots \quad (10)$$

したがって、式（9）および式（10）から、ノードAに接続される検出手段（センスアンプ38）でデータ「0」とデータ「1」の場合の相違を確実に読み出すためには、ビット線容量 C_B を、以下の式（11）を満たすように設定する必要がある。

【0044】

$$C_{f0} < C_B \leq 1/2 \times \{ (C_{f1} + C_{f0}) V_R / V_S - (C_{f1} + C_{f0}) \} \quad \dots \quad (11)$$

次に、上記式（11）を満たす条件で実験した結果について以下に説明する。強誘電体膜として、図4に示すヒステリシス特性を有するSBT膜（SrBi₂Ta₂O₉膜）を用いた単純マトリックス型の強誘電体メモリにおいて、データ「0」の場合とデータ「1」の場合とに、図5に示す読み出し電圧（ $V_R = 1.8$ V）を印加した時のビット線に発生するパルス波形（ビット線電圧 V_B ）を図6に示す。この場合の単純マトリックス型の強誘電体メモリのビット線幅およびワ

ード線幅はどちらも $1 \mu\text{m}$ とした。

【0045】

また、データ「0」の場合の強誘電体キャパシタの電気容量 C_{f0} 、データ「1」の場合の強誘電体キャパシタの電気容量 C_{f1} 、および、ビット線容量 C_B は、それぞれ、 20 fF 、 83 fF および 40 fF とした。また、ビット線 B_L に接続される検出手段（センスアンプ38）の検出限界電圧 V_S は、 100 mV 程度とした。これらはいずれも式（11）を満たしている。図6に示すように、データ1の場合とデータ0の場合とのビット線電圧 V_B の差 ($V_{B1} - V_{B0}$) は、 $(V_B1 - V_{B0}) = 約 610 \text{ mV}$ であり、検出限界電圧 V_S (100 mV 程度) よりも十分大きいことがわかる。このため、上記式（11）の条件を満たすようにビット線容量 C_B を設定すれば、データ「0」の場合とデータ「1」の場合との相違を十分に検出可能であることを確認することができた。

【0046】

また、メモリセルに保持されているデータがデータ「1」の場合に、強誘電体膜に印加される電圧 ($V_R - V_{B1}$) は、約 0.6 V であり、分極反転する電圧である抗電圧（約 0.9 V ）よりも小さくなっている。この場合、強誘電体膜の分極反転を伴わないため、分極疲労劣化を大幅に抑制することができる。なお、データ「0」の場合は、抗電圧以上の電圧を印加しても分極反転は伴わない。

【0047】

第1実施形態では、上記のように、ビット線容量 C_B を、上記の式（11）を満たすように設定することによって、データ「1」の場合とデータ「0」の場合とのビット線電位の電位差を検出限界電圧 V_S 以上にすることができるので、読み出しマージンを高めることができる。これにより、データの誤読み出しなどが発生するのを有効に抑制することができる。

【0048】

また、上記第1実施形態では、データ「0」を保持している場合の強誘電体キャパシタの容量 C_{f0} 、データ「1」を保持している場合の強誘電体キャパシタの電気容量 C_{f1} 、および、ビット線容量 C_B を、実質的に、 $C_B = (C_{f1} \times C_{f0})^{1/2}$ の関係を満たすように設定することによって、強誘電体キャパシタの電気容量

値 C_{f0} および C_{f1} の相違に対応するビット線電位の電位差を最大にすることができるので、読み出しマージンをより高めることができる。

【0049】

また、上記第1実施形態では、データ「1」の場合に強誘電体膜に印加される電圧($V_R - V_{B1}$)を分極反転する電圧(抗電圧)以下になるように設定することによって、データ「1」の読み出し時に強誘電体膜が分極反転するのを防止することができる。これにより、単純マトリックス型の強誘電体メモリにおいて、分極反転を伴わずに、読み出しマージンを高めることが可能な構造を得ることができる。

【0050】

(第2実施形態)

図7は、本発明の第2実施形態による1T1C型の強誘電体メモリの全体構成を示した回路図であり、図8は、図7に示した第2実施形態による強誘電体メモリのデータ読み出し動作を説明するためのメモリセルの等価回路図である。図7および図8を参照して、この第2実施形態では、本発明を1T1C型の強誘電体メモリに適用した場合について説明する。

【0051】

まず、この第2実施形態では、図7に示すように、メモリセルアレイ60は、複数のメモリセル11がマトリックス状に配置されて構成されている(図7では、説明の便宜上、9個のメモリセルのみを示している)。各メモリセル11は、1つの強誘電体キャパシタ12と、1つのスイッチングトランジスタ13とによって構成されている。強誘電体キャパシタ12の一方の電極(第1電極)は、プレート線 $PL_0 \sim PL_2$ に接続され、強誘電体キャパシタ12の他方の電極(第2電極)は、スイッチングトランジスタ13のソース/ドレイン領域の一方に接続されている。また、スイッチングトランジスタ13のソース/ドレイン領域の他方は、ビット線 $BL_0 \sim BL_2$ に接続されている。スイッチングトランジスタ13のゲート電極は、ワード線 $WL_0 \sim WL_2$ に接続されている。また、ロウデコーダ31には、プレート線 $PL_0 \sim PL_2$ に読み出し電圧 V_R を印加するための読み出し電圧印加回路41aが内蔵されている。なお、読み出し電圧印加回路41aは

、本発明の「読み出し電圧 V_R を印加する手段」の一例である。その他の構成は、図1に示した第1実施形態と同様である。

【0052】

図7に示した第2実施形態による強誘電体メモリのメモリセル11において、データ読み出し時に、ワード線 $WL_0 \sim WL_2$ をハイレベルにしてスイッチングトランジスタ13をオン状態にした時の等価回路図は、図8に示すようになる。このメモリセル11では、図7に示した読み出し電圧印加回路41aによりプロト線 PL に読み出し電圧 V_R を印加することによって、上記した第1実施形態と同様、ビット線 BL （ノードB）の電位の相違 $(V_{B1} - V_{B0})$ を、電圧センスアンプであるセンスアンプ38により検知する。これにより、データが読み出される。

【0053】

ここで、図8に示すように、第2実施形態による1T1C型の強誘電体メモリのデータ読み出し時の等価回路は、図2に示した第1実施形態の場合と同様である。したがって、この第2実施形態においても、上記式(11)を適用し、かつ、メモリセル11のデータがデータ「1」である場合に強誘電体膜に印加される電圧を、分極反転する電圧（抗電圧）よりも小さくすることによって、第2実施形態による1T1C型の強誘電体メモリにおいても、分極反転を伴わないので、読み出しマージンを高めることができる。

【0054】

(第3実施形態)

図9は、本発明の第3実施形態によるFET型の強誘電体メモリの全体構成を示した回路図であり、図10は、図9に示した第3実施形態による強誘電体メモリのデータ読み出し時の等価回路図である。図9および図10を参照して、この第3実施形態では、本発明をFET型の強誘電体メモリに適用した例について説明する。

【0055】

この第3実施形態によるFET型の強誘電体メモリでは、メモリセルアレイ70は、複数のメモリセル21がマトリックス状に配置されて構成されている（図

9では、説明の便宜上、9個のメモリセルのみを示している）。各メモリセル21は、1つのトランジスタ（FET）23と、そのトランジスタ23のゲート部に形成された強誘電体キャパシタ22とから構成されている。強誘電体キャパシタ22の一方の電極（第1電極）は、ワード線WL₀～WL₁に接続されている。また、強誘電体キャパシタ22の他方の電極（第2電極）は、トランジスタ23のゲート電極に接続されている。また、トランジスタ23のソース／ドレイン領域の一方は、ビット線BL₀～BL₂に接続されており、ソース／ドレイン領域の他方は、プレート線PL₀～PL₂に接続されている。また、トランジスタ23のチャネル領域（ウェル領域）は、ソース線SL₀～SL₂に接続されている。

【0056】

ここで、第3実施形態では、ロウデコーダ31に、ワード線WL₀～WL₂に読み出し電圧VRを印加するための読み出し電圧印加回路41bが設けられている。なお、読み出し電圧印加回路41bは、本発明の「読み出し電圧VRを印加する手段」の一例である。また、ビット線BL₀～BL₂には、カラムデコーダ32を介して、電流センスアンプであるセンスアンプ38aが接続されている。このセンスアンプ38aは、本発明の「強誘電体膜の電気容量値C_{f0}およびC_{f1}の相違を検知することが可能な検出手段」の一例である。第3実施形態の他の構成は、図1に示した第1実施形態の構成と同様である。

【0057】

図9に示した第3実施形態のFET型の強誘電体メモリのメモリセルにおいて、データ読み出し時の等価回路図は、図10に示すようになる。図10において、C_Iは、MISトランジスタ23のゲート電極の電気容量を示している。なお、ゲート電極の電気容量C_Iは、本発明の「第2電極における電気容量C₂」の一例である。データ読み出し時動作としては、ノードCの電位の相違によって、MISトランジスタ23に流れる電流値が変化するので、その電流値を電流センスアンプであるセンスアンプ38aによって読み出す。

【0058】

ここで、図10に示すように、第3実施形態によるFET型の強誘電体メモリのデータ読み出し時の等価回路は、図2に示した第1実施形態の場合と同様であ

る。したがって、この第3実施形態によるFET型の強誘電体メモリにおいて、ゲート電極の電気容量 C_I を、上記式(11)のビット線容量 C_B の代わりに代入して、上記式(11)を満たすように設定するとともに、メモリセルに保持されているデータがデータ「1」の場合に、強誘電体膜に印加される電圧を、分極反転する電圧(抗電圧)よりも小さく設定することによって、FET型の強誘電体メモリにおいても、分極反転を伴わない読み出し方法で読み出しマージンを高めることができる。

【0059】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0060】

たとえば、上記第1実施形態では、強誘電体膜として $SrBi_2Ta_2O_9$ 膜を用いた場合について説明したが、本発明はこれに限らず、 $SrBi_2(Nb, Ta)_2O_9$ (SBNT)、 $Pb(Zr, Ti)O_3$ (PZT)、 $(Pb, La)(Zr, Ti)O_3$ (PLZT)、 $(Bi, La)_4Ti_3O_{12}$ (BLT)、 $Bi_4Ti_3O_{12}$ (BIT)またはこれに準ずる強誘電体膜を用いることができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による単純マトリックス型の強誘電体メモリの全体構成を示した回路図である。

【図2】

図1に示した第1実施形態による強誘電体メモリのデータ読み出し動作を説明するための等価回路図である。

【図3】

第1実施形態による強誘電体メモリのデータ読み出し動作を説明するための特性図である。

【図 4】

本発明の第1実施形態による実験で用いた強誘電体キャパシタのヒステリシス特性を示した図である。

【図 5】

本発明の第1実施形態による実験で用いた読み出し動作における読み出し電圧パルスを示した図である。

【図 6】

本発明の第1実施形態による実験での読み出し動作におけるビット線で発生するパルス波形を示した図である。

【図 7】

本発明の第2実施形態による 1T1C型の強誘電体メモリの全体構成を示した回路図である。

【図 8】

図7に示した第2実施形態による強誘電体メモリの読み出し動作時の等価回路図である。

【図 9】

本発明の第3実施形態による FET型の強誘電体メモリの全体構成を示した回路図である。

【図 10】

図9に示した第3実施形態による強誘電体メモリの読み出し動作時の等価回路図である。

【図 11】

従来の 1T1C型の強誘電体メモリの回路図である。

【図 12】

図11に示した従来の 1T1C型の強誘電体メモリの断面図である。

【図 13】

従来の単純マトリックス型の強誘電体メモリを示した回路図である。

【図 14】

図13に示した従来の単純マトリックス型の強誘電体メモリの断面図である。

【図15】

従来のFET型(MFMIS-FET型)の強誘電体メモリの回路図である。

【図16】

図15に示した従来のFET型の強誘電体メモリを示した断面図である。

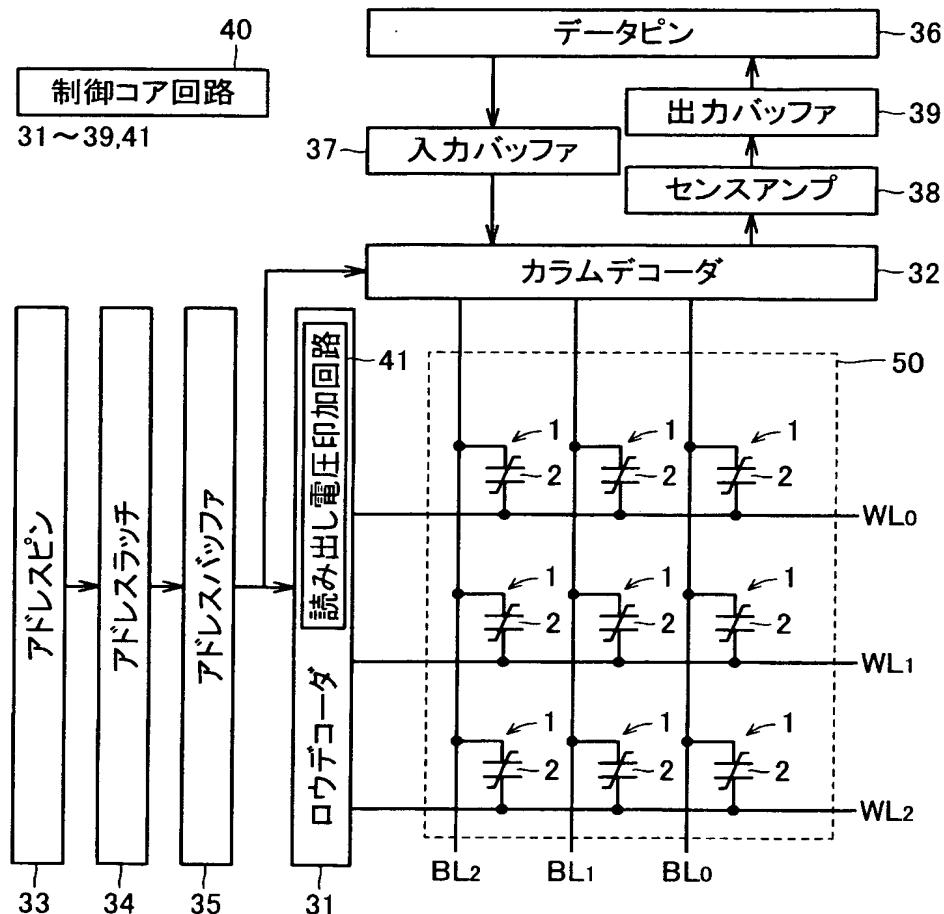
【符号の説明】

- 1、11、21 メモリセル
- 2、12、22 強誘電体キャパシタ
- 13、23 トランジスタ
- 38 センスアンプ(検出手段)
- 38a センスアンプ(検出手段)
- 41、41a、41b 読み出し電圧印加回路(読み出し電圧を印加する手段)

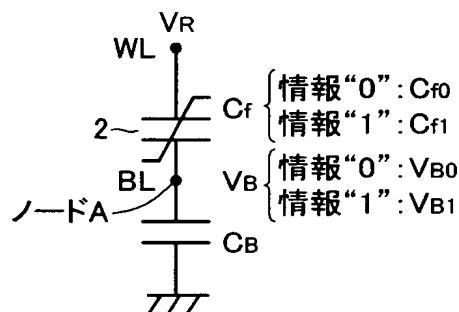
)

【書類名】

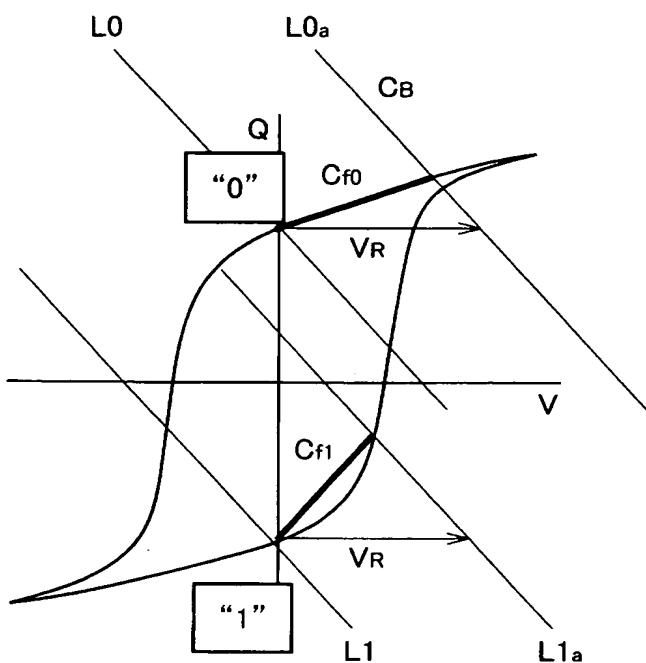
【図 1】



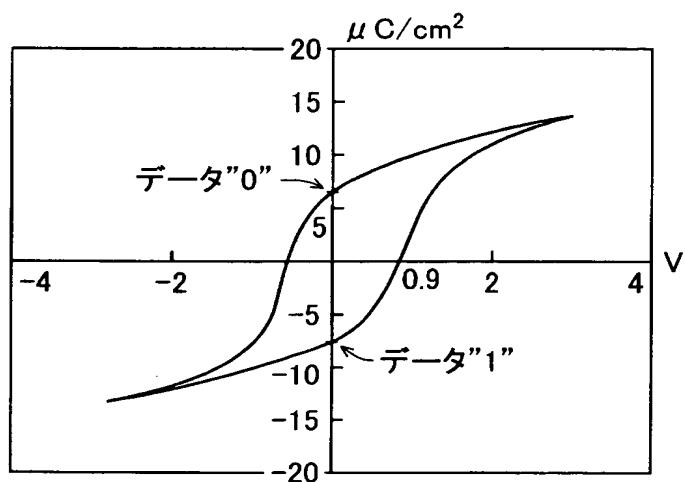
【図 2】



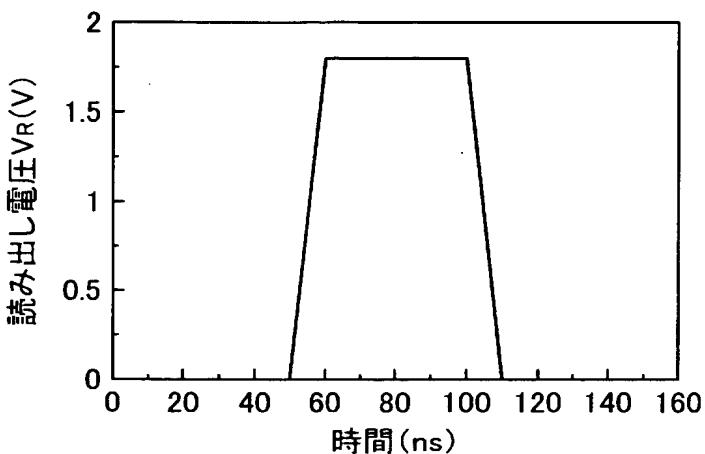
【図3】



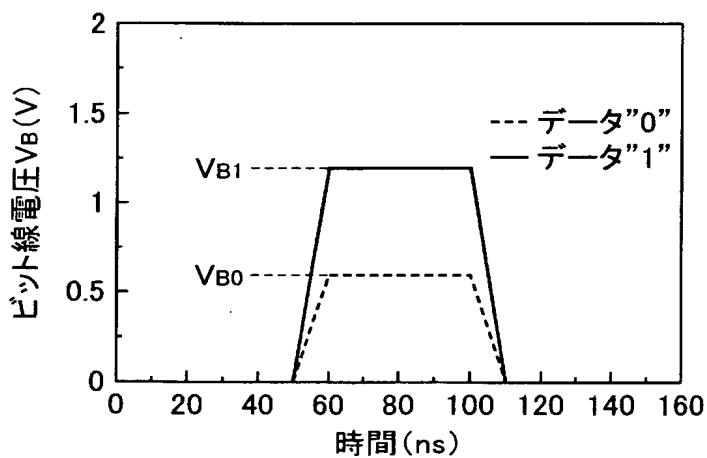
【図4】



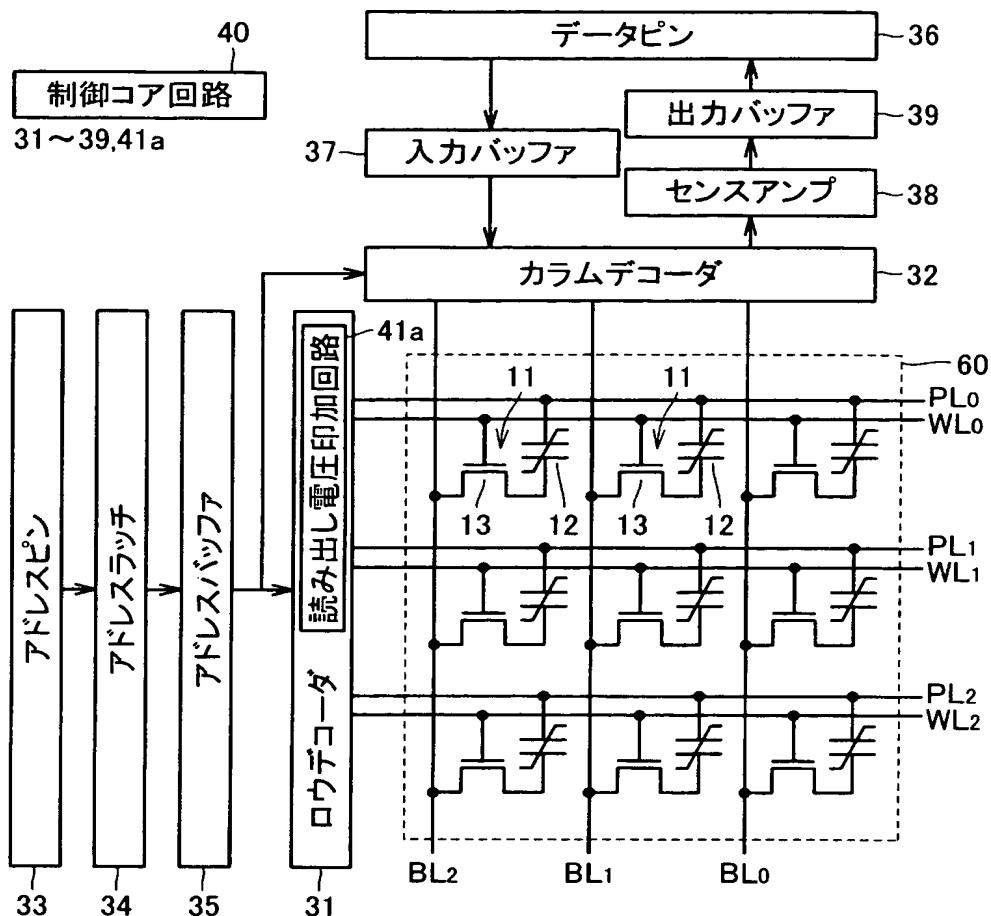
【図 5】



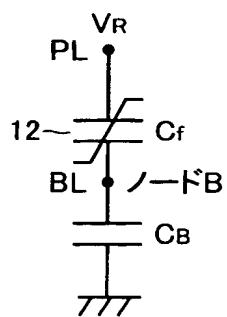
【図 6】



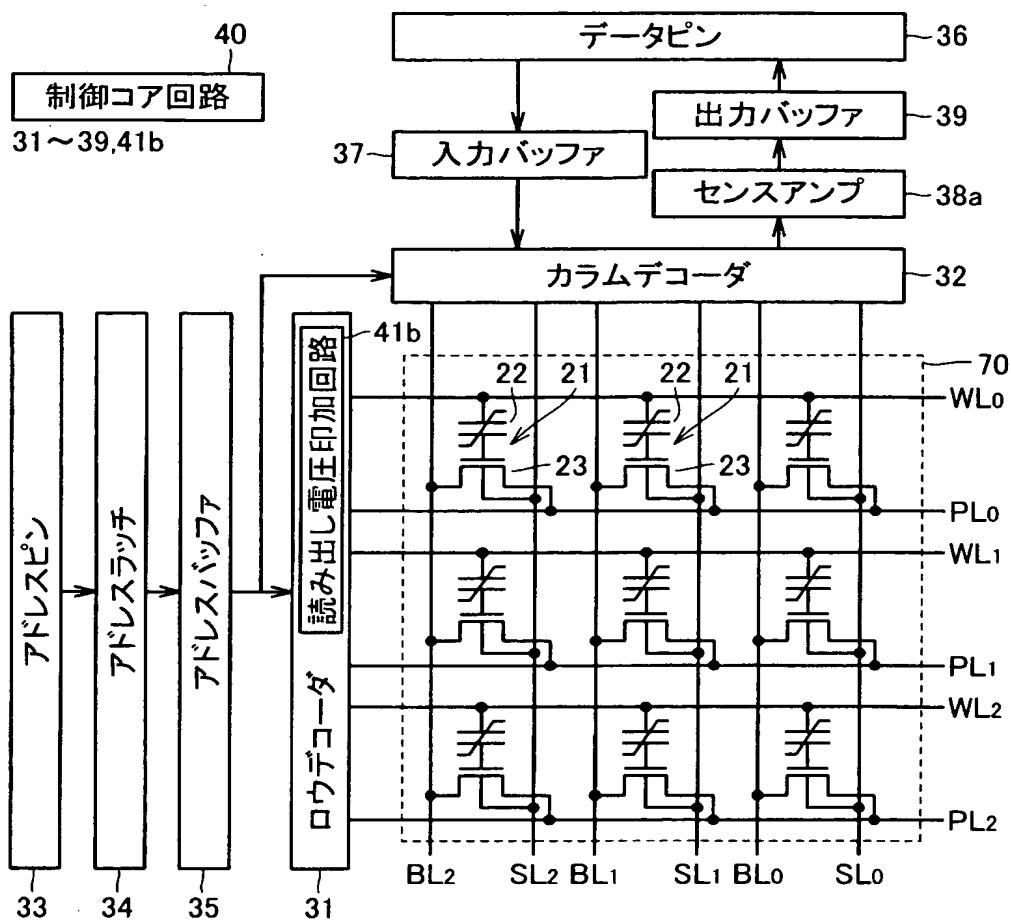
【図 7】



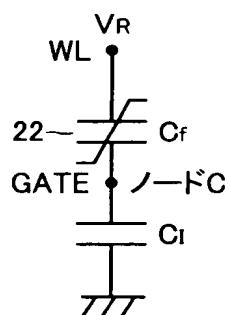
【図 8】



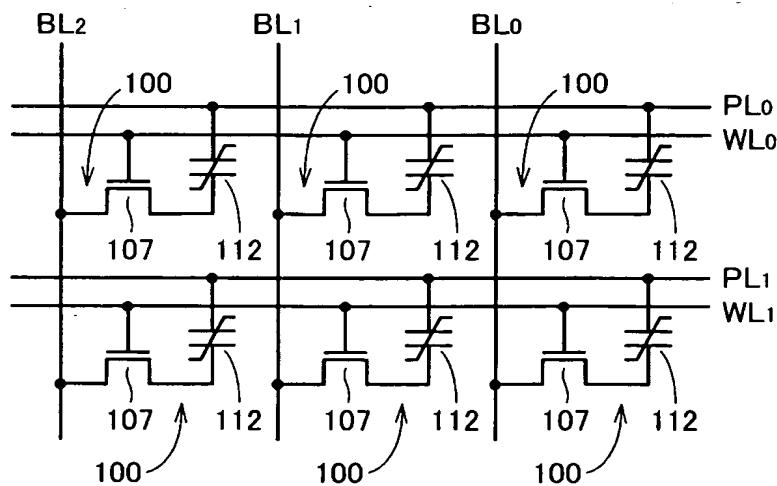
【図 9】



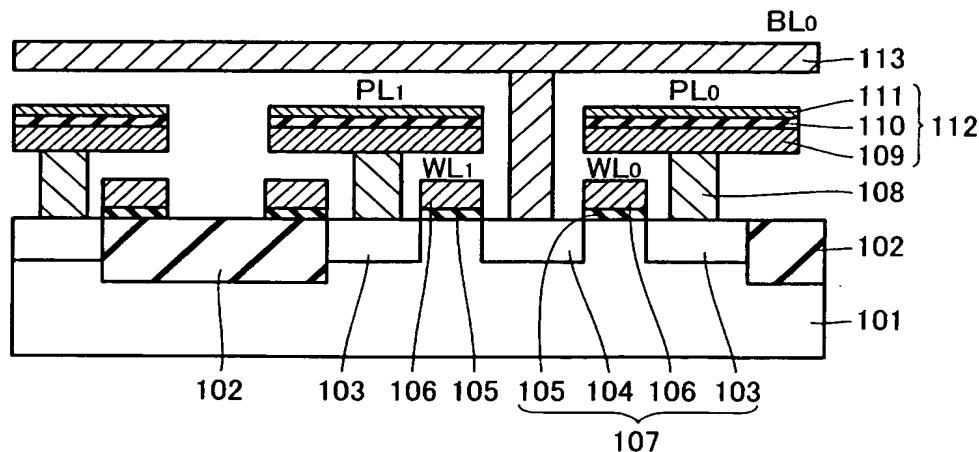
【図 10】



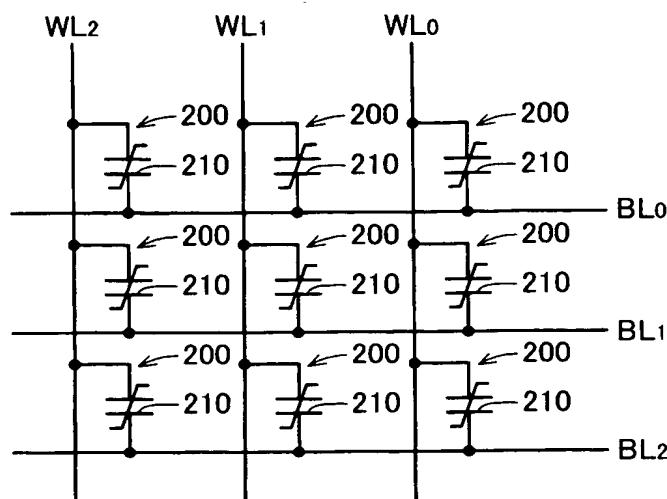
【図 1 1】



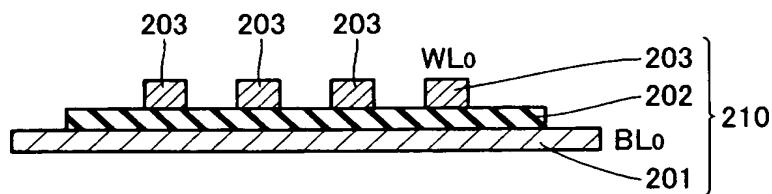
【図 1 2】



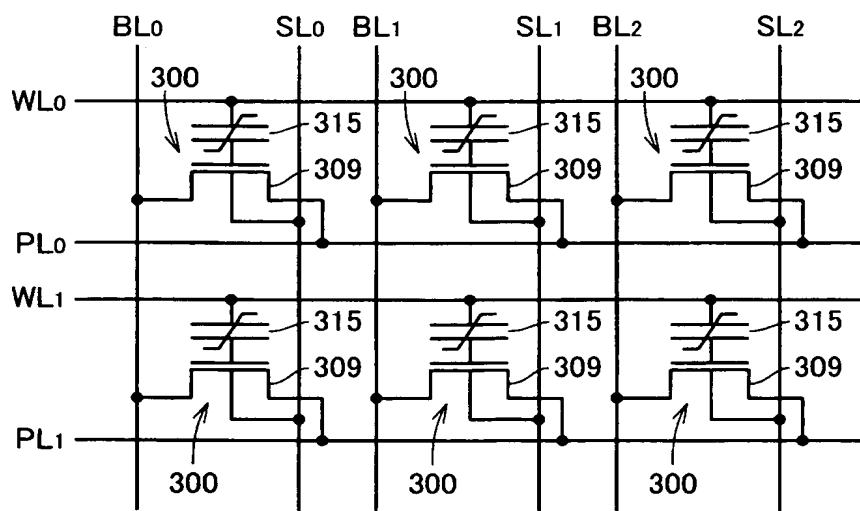
【図13】



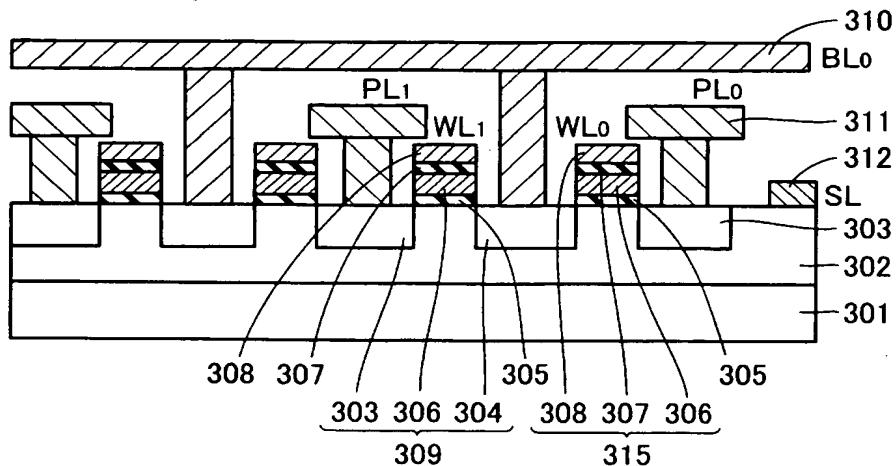
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 読み出しマージンを高めることにより誤読み出しなどが発生するのを抑制することが可能な強誘電体メモリを提供する。

【解決手段】 この強誘電体メモリは、データ「0」とデータ「1」が保持されている場合とでそれぞれ異なる電気容量値 C_{f0} および C_{f1} をとることが可能な強誘電体膜と、強誘電体膜を挟むように配置されたワード線WLおよびビット線BLとを有する強誘電体キャパシタ2を含むメモリセル1と、ワード線WLに読み出し電圧 V_R を印加する読み出し電圧印加回路41と、強誘電体膜の電気容量値 C_{f0} および C_{f1} の相違に対応するビット線BLの電位差が V_S 以上の場合に強誘電体膜の電気容量値 C_{f0} および C_{f1} の相違を検出することが可能なセンスアンプ38とを備えている。そして、ビット線容量 C_B は、以下の式を満たすように設定されている。

$$C_{f0} < C_B \leq 1/2 \times \{ (C_{f1} + C_{f0}) V_R / V_S - (C_{f1} + C_{f0}) \}$$

【選択図】 図3

特願2003-027209

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社